

Docket No.: 67162-024

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Eiichi FUKITA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 29, 2003	:	Examiner:
	:	
For: LOGIC CIRCUIT DIAGRAM INPUT DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

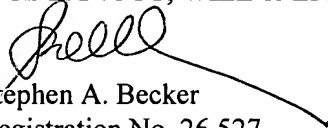
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:
Japanese Patent Application No. JP 2003-040701, was filed on February 19, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gv
Facsimile: (202) 756-8087
Date: September 29, 2003

67162-024
Eiichi FUKITA, et al.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

September 29, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月19日

出 願 番 号
Application Number:

特願2003-040701

[ST.10/C]:

[JP 2003-040701]

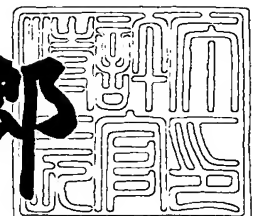
出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016320

【書類名】 特許願

【整理番号】 542647JP01

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 吹田 英一

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 池田 稔

【特許出願人】

 【識別番号】 000006013

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100062144

 【弁理士】

 【氏名又は名称】 青山 葆

【選任した代理人】

 【識別番号】 100086405

 【弁理士】

 【氏名又は名称】 河宮 治

【手数料の表示】

 【予納台帳番号】 013262

 【納付金額】 21,000円

【提出物件の目録】

【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 論理回路図入力装置

【特許請求の範囲】

【請求項 1】 トランジスタを最小単位として構成された論理回路図を基に、レイアウト面積を見積もる論理回路図入力装置において、

階層構造を持った論理回路図情報からトランジスタレベルまでの情報に展開する階層展開手段と、各トランジスタにプロパティとして付加されていたゲート長、ゲート幅、ドレイン領域面積、ソース領域面積の形状パラメータ情報を抽出する形状パラメータ情報抽出手段と、前記形状パラメータ情報からトランジスタ 1 個あたりの面積を算出するトランジスタ面積算出式により、各トランジスタの面積を算出する面積算出手段と、各トランジスタに対して算出した面積を総和してレイアウト面積を見積もるレイアウト面積見積もり手段とを備えたことを特徴とする論理回路図入力装置。

【請求項 2】 予め定義したトランジスタ 1 個あたりの面積占有率を用いて、上記各トランジスタの面積を補正する請求項 1 記載の論理回路図入力装置。

【請求項 3】 スタンダードセルで構成された論理回路図を基に、レイアウト面積を見積もる論理回路図入力装置において、

階層構造を持った論理回路図情報からスタンダードセルレベルまでの情報に展開する階層展開手段と、スタンダードセル個々の面積をインスタンス別に保持するスタンダードセル別面積保持部と、前記スタンダードセル別面積保持部のデータに基づき、前記展開された各スタンダードセルの面積を当該セルのインスタンス別に導出する面積導出手段と、各スタンダードセルに対して導出した面積を総和してレイアウト面積を見積もるレイアウト面積見積もり手段とを備えたことを特徴とする論理回路図入力装置。

【請求項 4】 スタンダードセルの種類毎に定義した面積占有率を用いて、上記各スタンダードセルの面積を補正する請求項 3 記載の論理回路図入力装置。

【請求項 5】 上記階層構造を持った論理回路図情報から配線情報を抽出する配線情報抽出手段と、

レイアウト面積およびセル数に応じて定義した配線占有面積予想値を保持する配

線占有面積予想値保持手段とを備え、

配線毎に、配線占有面積予想値保持手段から抽出した配線占有面積予想値の総計を、上記レイアウト面積に加算する請求項 3 記載の論理回路図入力装置。

【請求項 6】 レイアウト面積およびセル数に応じて定義した配線容量予想値を保持するブロック面積別配線容量保持部と、

配線毎に、前記ブロックの面積別配線容量保持部から配線の容量予想値を抽出する配線容量予想値抽出手段とを備えた請求項 5 記載の論理回路図入力装置。

【請求項 7】 上記配線の容量予測値の情報が、スタンダードセルで構成された論理回路図上の配線データにプロパティまたは素子として付加される請求項 6 記載の論理回路図入力装置。

【請求項 8】 トランジスタ素子にプロパティとして付加されていた、ゲート長、ゲート幅、ドレイン領域面積、ソース領域面積の形状パラメータ以外に、最大ゲート幅、単位抵抗値、単位容量値等のより詳細な物理情報が付加される請求項 1 もしくは 2 記載の論理回路図入力装置。

【請求項 9】 トランジスタ/スタンダードセル毎に設定していた面積占有率に替えて、より上位のブロックに対して面積占有率を設定する請求項 2 もしくは 4 に記載の論理回路図入力装置。

【請求項 10】 当該装置で見積もった各セル、ブロックの面積、BC(ベーシックセル)数をレイアウト設計装置に入力ファイルとして提供する請求項 1 ～ 9 のいずれかに記載の論理回路図入力装置。

【請求項 11】 当該装置で見積もった各セル、ブロックの面積、BC(ベーシックセル)数を論理回路図上の各インスタンス素子にプロパティとして保存する請求項 1 ～ 10 のいずれかに記載の論理回路図入力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

チップ面積の制約が厳しいメモリ L S I 等の設計においては、レイアウト設計前の論理回路設計段階から、実際のレイアウトの面積を考慮した設計が必要である。本発明は、論理回路図中に配置されたトランジスタ(あるいは論理ゲートや

マイクロプロセッサ)のインスタンスに付加されている形状を表すプロパティ情報(以下、形状パラメータ値情報と記す)等をもとに容易に実際のレイアウトの面積を見積もることのできる機能を有した論理回路図入力装置に関するものである。

【0002】

【従来の技術】

同期回路で構成されるASIC設計においては、テクノロジライブラリ(スタンダードセル毎の遅延/タイミング/面積および配線の面積占有率が定義されている)を用いた論理合成手法を適用することにより、論理設計段階で実際のレイアウト面積を有る程度正確に見積もることが可能である。しかしながら、チップの面積制約が厳しいメモリLSI等の設計においては、論理回路は非同期で動作するため、トランジスタ等を手入力しながらそれらのサイズを微調節してタイミング調整を行うフルカスタム設計手法が主流である。

【0003】

このため、論理回路がほぼ確定しないと実際のレイアウト面積を予測するのは難しく、仮に論理が確定した段階であってもトランジスタで構成されているため、そのレイアウト面積見積もりは設計者の経験に頼ったり、配置したトランジスタから手計算によって求めるため精度が低くなるという問題がある。この結果、レイアウト設計段階で与えられた面積制約に納まらないといった事態が発生して、最悪の場合、論理回路の見直しが必要となり設計工期の遅延を招く恐れがある。

【0004】

この種の回路設計として、回路設計時に、素子を配置する毎に、その都度、素子の外形寸法からレイアウト時の面積を算出して順次加算するものが知られている(例えば特許文献1参照)。

【0005】

【特許文献1】

特開第2001-22799号「回路の設計方法および回路設計支援システム」
(請求項1、図1)

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、特許文献 1 は、回路設計時に、レイアウト面積の算出を併行して行なっていくものであるが、素子の面積を単純に加算していくものに過ぎず(設計過程で計算したレイアウト面積が目標値をオーバーしないかを知ることがを主眼としている)、回路設計の終了後に得られるレイアウト面積は、トランジスタの種類とそれらの個数から瞬時に計算できる値でしかなく、しかも、外形寸法としては単に最大出っ張り幅での縦と横の寸法から計算しているために計算精度も低いものとなっていた。

【 0 0 0 7 】

この発明は、個々の素子面積を正確に捉えるだけでなく、実際の素子のレイアウト時の状況(インスタンス)に則したレイアウト面積を得ることができ、更には配線をも考慮したレイアウト面積を得ることのできる論理回路図入力装置を提供するものである。

【 0 0 0 8 】

【課題を解決するための手段】

トランジスタを最小単位として構成された論理回路図を基に、レイアウト面積を見積もる論理回路図入力装置は、

階層構造を持った論理回路図情報からトランジスタレベルまでの情報に展開する階層展開手段と、各トランジスタにプロパティとして付加されていた形状パラメータ情報を抽出する形状パラメータ情報抽出手段と、前記形状パラメータ情報からトランジスタ 1 個あたりの面積を算出するトランジスタ面積算出式により、各トランジスタの面積を算出する面積算出手段と、各トランジスタに対して算出した面積を総和してレイアウト面積を見積もるレイアウト面積見積もり手段とを備える。

【 0 0 0 9 】

【発明の実施の形態】

実施の形態 1.

本実施の形態 1 では、「トランジスタを最小単位として構成された論理回路図

」を基に、そのレイアウト面積を容易に見積もることが可能な「論理回路図入力装置」について説明する。

【0010】

図1はこの実施の形態1の「論理回路図入力装置」の構成を示したブロック図である。同図において、「階層構造を持った論理回路図情報格納部」1-1は、面積算出対象とする、階層構造を持った論理回路図の情報を格納しており、この論理回路図情報は、トランジスタ素子を最小単位にして構成されたものであり、各トランジスタ素子には、形状パラメータ情報がプロパティとして付加されている。

【0011】

「階層展開手段」1-2は、「階層構造を持った論理回路図情報格納部」1-1に格納の情報をトランジスタレベルまで展開するためのものであり、「トランジスタレベル階層展開情報保持部」1-3は、前記「階層展開手段」1-2により階層展開されたトランジスタ素子情報を保持する。「形状パラメータ情報抽出手段」1-4は、「トランジスタレベル階層展開情報保持部」1-3に保持されたそれぞれのトランジスタ素子情報からプロパティとして付加されていた形状パラメータ情報を抽出する。

【0012】

「形状パラメータ情報保持部」1-5は、「形状パラメータ情報抽出手段」1-4により抽出されたそれぞれのトランジスタ素子の形状パラメータ情報を保持する。「トランジスタ面積算出式保持部」1-6は、トランジスタ1個あたりの面積算出式を保持する。「トランジスタ素子別面積算出手段」1-7は、「形状パラメータ情報保持部」1-5に保持されたそれぞれのトランジスタ素子の形状パラメータ情報から「トランジスタ面積算出式保持部」1-6に定義された算出式を用いてそれぞれのトランジスタ素子の面積を算出する。

【0013】

「トランジスタ素子別面積保持部」1-8は、「トランジスタ面積算出手段」1-7により算出されたトランジスタ素子それぞれの面積を保持する。「レイアウト面積見積もり手段」1-9は、「トランジスタ素子別面積保持部」1-8に

保持されたトランジスタ素子それぞれの面積を足し合わせるにより、図3の階層構造を持った論理回路図情報を基に、レイアウト見積もり面積を導き出し、「レイアウト見積もり面積格納部」1-10に格納する。

【0014】

図2は、上述した構成の「論理回路図入力装置」の動作を示したフローチャートであり、図3に示した例を用いてその動作を説明する。まず、図3の階層構造を持った論理回路図情報を「階層構造を持った論理回路図情報格納部」1-1から読み出し、「階層展開手段」1-2によりトランジスタレベルまで展開し、その展開された個々のトランジスタ素子 Inst11、Inst12、Inst21、Inst22の情報を「トランジスタレベル階層展開情報保持部」1-3に保持する(ST201)。

【0015】

次に「トランジスタレベル階層展開情報保持部」1-3に保持されたトランジスタ素子内のInst11を対象に、プロパティとして付加されていた形状パラメータ情報を抽出し、「形状パラメータ情報保持部」1-5に保持する(ST202)。ここで抽出する形状パラメータ情報は、図4中に示したゲート長L、ゲート幅W、ドレイン領域面積AD、ソース領域面積ASとする。

【0016】

次に、「トランジスタ面積算出式保持部」1-6に格納されているトランジスタ1個あたりの面積算出式(図5)

$$\text{トランジスタ1個の面積} = L \times W + AD + AS$$

を用いて、「形状パラメータ情報保持部」1-5に格納したInst11の形状パラメータ情報から、Inst11の面積： $20E-7 \mu m^2$ を導き出し(ST202)、そして、「トランジスタ素子別面積保持部」1-8に格納する(ST203)。ST202からST203の動作を、Inst12、Inst21、Inst22といった残りの全てのトランジスタ素子に対して実施する(ST204)。

【0017】

最後に、ST202からST204で「トランジスタ素子別面積保持部」1-8に格納したInst11、Inst12、Inst21、Inst22 それぞれの面積値を足し合わせ、レイアウト見積もり面積： $80E-7 \mu m^2$ を得る(ST205)。

【0018】

このように、論理回路設計段階で容易にレイアウト後の面積を正確に見積もることができるため、レイアウト設計時にしばしば発生する面積制約違反により論理回路の設計変更を余儀なくされるといったことをなくせる。

【0019】

実施の形態2.

本実施の形態2では、実施の形態1で算出した各トランジスタの面積を、予め定義したトランジスタ素子1個あたりの“面積占有率”で補正することにより、「トランジスタを最小単位として構成された論理回路図」を基に、そのレイアウト面積をさらに高精度に見積もることが可能な「論理回路図入力装置」について説明する。

【0020】

図6はこの実施の形態2の「論理回路図入力装置」の構成を示すブロック図である。同図において1-1から1-8の各ブロックは、実施の形態1で説明した図1の同番号のものと同様である。「トランジスタ面積占有率格納部」6-9は、トランジスタに対して定義した面積占有率を格納する。なお、トランジスタの面積占有率は、本装置の使用者が外部入力装置により任意の値を入力することも可能である。

【0021】

「トランジスタ素子別面積算出手段」6-10は、「トランジスタ素子別面積保持部」1-8に保持されたトランジスタ素子それぞれの面積に「トランジスタの面積占有率保持部」6-9に定義された占有率で割って、それぞれのトランジスタ素子のレイアウト上での占有面積を導き出す。「トランジスタ素子別面積保持部」6-11は、「トランジスタ素子別面積算出手段」6-10により導き出されたトランジスタ素子のレイアウト面積を保持する。本実施形態では、「トランジスタの面積占有率保持部」6-9に保持されたトランジスタの面積占有率を0.5とする。

【0022】

「レイアウト面積見積もり手段」6-12は、「トランジスタ素子別レイアウト

ト占有面積保持部」6-11に保持されたトランジスタ素子それぞれの占有面積を足し合わせるにより、レイアウト見積もり面積を導き出し、「レイアウト見積もり面積格納部」6-13に格納する。

【0023】

図7は、上述した構成の「論理回路図入力装置」の動作を示したフローチャートであり、図3に示した例を用いてその動作を説明する。まず、図7のST201からST203は、実施の形態1の図2で説明したST201からST203と全く同様の動作でInst11の面積： $20\text{E-}8\mu\text{m}^2$ を導き出し、「トランジスタ素子別面積保持部」1-8に格納する。

【0024】

次に「トランジスタ素子別面積保持部」1-8に保持されたInst11の面積： $20\text{E-}8\mu\text{m}^2$ を「トランジスタの面積占有率保持部」6-9に定義された占有率0.5で割ってInst11の面積： $20\text{E-}8\mu\text{m}^2$ を得て「トランジスタ素子別面積保持部」6-11に格納する(ST704)。ST202からST704の動作をInst12、Inst21、Inst22といった残りのすべてのトランジスタ素子に対して実施する(ST705)。

【0025】

最後に、ST202からST705で「トランジスタ素子別面積保持部」6-11に格納したInst11、Inst12、Inst21、Inst22それぞれのレイアウト上占有面積値を足し合わせ、レイアウト見積もり面積： $160\text{E-}8\mu\text{m}^2$ を得る(ST706)。

【0026】

このように、各トランジスタに対し算出した面積を、トランジスタの面積占有率で補正したので、実施の形態1よりも更に高精度なレイアウト後の面積を容易に見積もることができ、レイアウト設計時にしばしば発生する面積制約違反による論理回路の設計変更を余儀なくされるといったことをなくせる。

【0027】

実施の形態3.

本実施の形態3では、「スタンダードセルで構成された論理回路図」を基に、“セルの配置状況”をも考慮して、そのレイアウト面積を容易に見積もることが可能な「論理回路図入力装置」について説明する。

【0028】

図9はこの実施の形態3の「論理回路図入力装置」の構成を示すブロック図である。同図において、「階層構造を持った論理回路図情報格納部」9-1は、面積算出対象とする情報を格納しており、この情報は、スタンダードセルを最小単位として構成されたものである。このスタンダードセルとは、インバータやNANDのごとき、ゲートレベルで1つの機能を有するものを指す。

【0029】

「階層展開手段」9-2は、「階層構造を持った論理回路図情報格納部」9-1に格納の論理回路図情報をスタンダードセルレベルまで展開するためのものであり、「スタンダードセルレベル階層展開情報保持部」9-3は、前記「階層展開手段」9-2により階層展開されたスタンダードセル素子情報を保持する。この素子情報には、セルの配置状況(配置密度や隣接との関係)を示すインスタンスも含まれる。「スタンダードセル別面積保持部」9-4は、スタンダードセル個々の面積をインスタンス別に保持する。「インスタンス面積導出手段」9-5は、「スタンダードセルレベル階層展開情報保持部」9-3に保持されたスタンダードセルのそれぞれに対し、「スタンダードセル別面積保持部」9-4から、当該セルのインスタンスに対応した面積値を抽出し割り当てる。

【0030】

図10は、上述した図9の「論理回路図入力装置」の動作を示したフローチャートであり、図8に示した例を用いてその動作を説明する。まず、図8の階層構造を持った論理回路図情報を「階層構造を持った論理回路図情報格納部」9-1から読み出し、階層展開手段」9-2によりスタンダードセルレベルまで展開し、その展開された個々のスタンダードセルインスタンスInst11、Inst12、Inst13、Inst21、Inst22の情報を「スタンダードセルレベル階層展開情報保持部」9-3に格納する(ST1001)。

【0031】

次に、「スタンダードセルレベル階層展開情報保持部」9-3に保持されたスタンダードセルインスタンスの内のInst11についてその面積値を、「スタンダードセル別面積保持部」9-4から検索して抽出し、「インスタンス面積保持部」

9-6に格納する(ST1002)。本実施の形態3では「スタンダードセル別面積保持部」9-4は図11のように定義されているものとする、スタンダードセルNOTXX4のインスタンスであるInst11の面積は $40E-8\mu m^2$ である。このST1002の動作をInst12、Inst13、Inst21、Inst22といった残りの全てのインスタンスに対して実施する(ST1003)。

【0032】

最後に、ST1002からST1003で「インスタンス面積保持部」9-6に格納したInst11、Inst12、Inst21、Inst22それぞれの面積値を足し合わせ、レイアウト見積もり面積： $90E-8\mu m^2$ を得る(ST706)。

【0033】

このように、スタンダードセル設計手法において、単にセル自身の面積だけでなく、セルの配置状況に応じて的確なレイアウト面積を得るようにしたので、レイアウト設計時にしばしば発生する面積制約違反による論理回路の設計変更を余儀なくされるといったことをなくせる。

【0034】

実施の形態4.

本実施の形態4では、実施の形態3で算出した各スタンダードセルの面積を、スタンダードセルの種類毎に予め定義した“面積占有率”で補正することにより、「スタンダードセルで構成された論理回路図」を基に、そのレイアウト面積をさらに高精度に見積もることが可能な「論理回路図入力装置」について説明する。

【0035】

図12はこの実施の形態4の「論理回路図入力装置」の構成を示すブロック図である。同図において9-1から9-6の各ブロックは、実施の形態3で説明した図9の同番号のものと同様である。「スタンダードセル別面積占有率保持部」12-7は、スタンダードセル1個あたり対して定義した占有率を保持している。

【0036】

「スタンダードセルインスタンス別レイアウト面積算出手段」12-8は、「イ

「インスタンス面積保持部」 9-6 に保持されたスタンダードセルインスタンスそれぞれの面積を「スタンダードセル別面積占有率保持部」 12-7 に定義された該当する占有率で割って、それぞれのスタンダードセルインスタンスのレイアウト面積を導き出す。

【0037】

「スタンダードセルインスタンス別レイアウト面積保持部」 12-9 は、「スタンダードセルインスタンス別レイアウト面積算出手段」 12-8 により導き出されたスタンダードセルインスタンスのレイアウト上での見積もり面積を保持する。「レイアウト面積見積もり手段」 12-10 は、「スタンダードセルインスタンス別レイアウト面積保持部」 12-9 に保持されたそれぞれのインスタンスのレイアウト見積もり面積を足し合わせることで、レイアウト見積もり面積を導き出し、「レイアウト見積もり面積格納部」 12-11 に格納する。

【0038】

図 14 は、上述した構成の「論理回路図入力装置」の動作を示したフローチャートであり、図 8 に示した例を用いてその動作を説明する。まず、図 14 の ST1001 から ST1002 は、実施の形態 3 の図 10 で説明した ST1001 から ST1002 と全く同様の動作で、Inst111 の面積： $40\text{E-}8\mu\text{m}^2$ を導き出し、「インスタンス面積保持部」 9-6 に格納する。

【0039】

次に、「スタンダードセル別面積占有率保持部」 12-7 に定義されたスタンダードセル毎の面積占有率、例えば、定義例の図 13 から NOTXX4 に該当する値：0.8 を抽出し、その値で「インスタンス面積保持部」 9-6 に格納された Inst11 の面積： $40\text{E-}8\mu\text{m}^2$ で割って、Inst11 のレイアウト上での占有面積： $50\text{E-}8\mu\text{m}^2$ を得て「スタンダードセルインスタンス別レイアウト面積保持部」 12-9 に格納する (ST1403)。この ST1002 から ST1403 の動作を Inst12、Inst21、Inst13、Inst21、Inst22 といった残りの全てのインスタンスに対して実施する (ST1404)。

【0040】

最後に、ST1002 から ST1404 で「スタンダードセルインスタンス別面積保持部」 12-10 に格納した Inst11、Inst12、Inst13、Inst21、Inst22 それぞれの面

積値を足し合わせ、レイアウト見積もり面積： $12E-8\mu m^2$ を得る(ST1405)。

【0041】

このように、各スタンダードセルに対し導出した面積を、スタンダードセル別の面積占有率で補正したので、実施の形態3よりも更に高精度なレイアウト後の面積を容易に見積もることができ、レイアウト設計時にしばしば発生する面積制約違反による論理回路の設計変更を余儀なくされるといったことをなくせる。

【0042】

実施の形態5.

本実施の形態5では、「スタンダードセルで構成された論理回路図」を基に、そのレイアウト面積を“配線領域”まで考慮して容易に見積もることが可能な「論理回路図入力装置」について説明する。

【0043】

図15は、この実施の形態5の「論理回路図入力装置」の構成を示すブロック図である。同図において、9-1から9-3の各ブロックは、実施の形態3で説明した図9の同番号と同様である。「配線情報抽出手段」15-4は「スタンダードセルレベル階層展開情報保持部」9-3に保持されたスタンダードセルレベル展開回路図から配線情報を抽出する。「配線情報保持部」15-5はその配線情報を保持する。「ブロックの面積別配線占有面積予想値保持部」15-6は、図17に示すように、レイアウト見積もり面積を、複数のブロック範囲に分け、それぞれのブロック範囲に対して、配線にぶら下がるセル数に応じて定義した配線占有面積予想値を保持する。

【0044】

「1配線あたり配線占有面積予想値抽出手段」15-7は、「レイアウト見積もり面積(この面積がまだ求められていない時はデフォルト値を採用)」が、前記ブロック範囲のいずれに含まれるかを選択し、選択したブロック範囲において、「配線情報保持部」15-5に格納されていた各配線情報(セル数)から、該当する占有面積予想値を「ブロックの面積別配線占有面積予想値保持部」15-6から抽出する。「配線占有面積予想値保持部」15-8は「1配線あたり配線占有面積予想値抽出手段」15-7で抽出された配線ごとの配線占有面積予想値を保

持する。

【0045】

「レイアウト面積見積もり手段」15-9は、図9の「レイアウト面積見積もり面積格納部」9-8で導き出されていた「レイアウト面積」に、「配線占有面積予想値保持部」15-8に保持されている全配線の配線占有面積予想値を足し合わせるにより、配線領域まで考慮したレイアウト面積を導き出す。

【0046】

図16は、図15の「論理回路図入力装置」の動作を示したフローチャートであり、図8に示した例を用いてその動作を説明する。まず、図16のST1001からST1004は、実施の形態3の図10で説明したST1001からST1004と全く同様の動作により、「階層構造を持った論理回路図情報」9-1に格納の情報中のスタンダードセルが占有する面積(配線領域を考慮していない)： $90E-8\mu m^2$ を算出し、図9の「レイアウト面積見積もり面積格納部」9-8に格納する。

【0047】

次に、「スタンダードセルレベル階層展開情報保持部」9-3に保持されたデータ中からNET11の配線情報を抽出し(ST1605)、その配線にぶら下がるスタンダードセル数を抽出する(ST1606)。この場合、NET11には、Inst11、Inst12、Inst13の3個のスタンダードセルがぶら下がっている。「ブロック面積別配線占有面積予想値保持部」15-6には、図17で示すように「論理回路ブロックの面積範囲」で分類して、配線にぶら下がっているセル数毎に配線面積予想値が定義されている。

【0048】

次に図17中、最初は、最大の「論理回路ブロックの面積範囲」エリア“ $300E-8\mu m^2 > WIRE_AREA > 200E-8\mu m^2$ ”のブロック範囲を選択し、そのブロック範囲に対し、ST1606で抽出したセル数(=3)に対応する配線面積予想値： $15E-8\mu m^2$ を抽出する(ST1607)。このST1605からST1607の動作を、NET1、NET2、NET3、NET21といった残りの全配線について実施し「配線占有面積予想保持部」15-8にそれぞれ保持する(ST1608)。

【0049】

次に、「論理回路図面積算出手段」15-9により、「配線占有面積予想保持部」15-8に保持していたそれぞれの配線の面積予想値を足し合わせて「レイアウト中の配線占有面積」： $60E-8\mu m^2$ を求め(ST1609)、その値と、ST1001からST1004での算出で「レイアウト見積もり面積格納部」9-8に保持されていた「レイアウト中のスタンダードセル占有面積」： $90E-8\mu m^2$ とを足し合わせて「配線領域を考慮したレイアウト見積もり面積」： $150E-8\mu m^2$ を算出する(ST1610)。

【0050】

次に、ST1610で算出した「配線領域を考慮したレイアウト見積もり面積」： $150E-8\mu m^2$ をもとに、図17中に該当する「論理回路ブロックの面積範囲」エリアとして“ $200E-8\mu m^2 > WIRE_AREA > 100E-8\mu m^2$ ”のブロック範囲を選択し、このブロック範囲からセル数に対応する配線面積予想値： $7E-8\mu m^2$ を抽出し、再度、ST1605からST1610までを実施して面積値を補正する。これを繰返して、前記面積値が一定の値に収束すれば、「階層構造を持った論理回路図情報格納部」9-1に格納の情報に対し、最適な「配線領域を考慮したレイアウト面積」の見積もり値： $119E-8\mu m^2$ を得る(ST1611)。

【0051】

このように、論理回路設計段階で、配線領域まで考慮してレイアウト後の面積を容易に見積もることができるため、レイアウト設計時にしばしば発生する面積制約違反による論理回路の設計変更を余儀なくされるところをなくせる。

【0052】

実施の形態6.

本実施の形態6では、「スタンダードセルで構成された論理回路図」中のそれぞれの配線に対する容量見積もり値を容易に得ることが可能な「論理回路図入力装置」について説明する。

【0053】

図18は、この実施の形態6の「論理回路図入力装置」の構成を示すブロック図である。同図において、9-1から9-3、及び15-4から15-10の各ブロックは、実施の形態5で説明した図15の同番号と同様である。

【0054】

「ブロック面積別配線容量保持部」18-11は、図20に示すように、論理回路図のレイアウト面積を、複数ブロック範囲に分け、それぞれのブロック範囲に対して、配線にぶら下がるセル数に応じて定義した配線容量予想値を保持する。

【0055】

「配線ごとの容量予想値抽出手段」18-12は、「配線情報保持部」15-5に格納された各配線情報(セル数を含む)に従い、「ブロックの面積別配線容量保持部」18-11において、「配線領域を考慮した論理回路図面積」15-10で得た面積値を包含する「ブロック範囲」を選択し、選択した「ブロック範囲」内でセル数に対応する該当容量値を抽出して「配線容量予想値格納部」18-13に格納する。

【0056】

図19は、上述した構成の「論理回路図入力装置」の動作を示したフローチャートであり、図8に示した例を用いてその動作を説明する。まず、図19のST1001からST1004およびST1605からST1611は、実施の形態5の図16で説明したST1001からST1004およびST1605からST1611と全く同様の動作であり、これにより、図8の例の「階層構造を持った論理回路図情報」から「配線領域を考慮したレイアウト見積もり面積」： $19E-8\mu m^2$ を算出し、「配線領域を考慮したレイアウト見積もり面積格納部」15-10に格納する。

【0057】

次に、「スタンダードセルレベル階層展開情報保持部」9-3に保持されたデータ中からNET11の配線情報を抽出し(ST1912)、その配線にぶら下がっているスタンダードセル数を抽出する(ST1913)。この場合、NET11には、Inst11、Inst12、Inst13の3個のスタンダードセルがぶら下がっている。

【0058】

次に「配線領域を考慮したレイアウト面積」15-10に格納された面積予想値： $119E-8\mu m^2$ を包含する「ブロック範囲」として“ $200E-8\mu m^2 > WIRE_AREA > 100E-8\mu m^2$ ”を選択し、選択したブロック範囲の中から、ST1913で抽出したセル

数：3に該当する配線容量予想値：0.08 p f を抽出する(ST1914)。ST1912からST1914を繰返し、「階層構造を持った論理回路図情報格納部」9-1中に存在する全ての配線についての容量予想値を得る。

【0059】

このように、レイアウト前に配線容量の概算値を容易に予想することができるので、その配線容量概算値をレイアウト設計前シミュレーションに与えることにより、精度の良いシミュレーションがレイアウト設計前に可能となる。

【0060】

実施の形態7.

本実施の形態7は、実施の形態6で得た配線容量の概算値を、「階層構造を持った論理回路図情報格納部」9-1に格納されている情報に反映させることが可能な「論理回路図入力装置」である。

【0061】

実施の形態6で得た配線容量の概算値それぞれを、配線ごとにプロパティ情報として容量素子用シンボルに付加し、そのシンボルを「階層構造を持った論理回路図情報格納部」9-1中の該当する配線中に挿入する。

【0062】

このようにすれば、論理回路図情報上で、回路接続情報と併せて、配線容量概算値も管理可能となり、その後のシミュレーション用ネットリストへの配線容量概算値の反映が容易となる。

【0063】

実施の形態8.

本実施の形態8は、実施の形態1において、論理回路図にトランジスタのプロパティとして付加されている、L、W、AD、AS 以外に「最大ゲート幅」、「単位抵抗値」、「単位容量値」等のより詳細な物理情報を付加することにより、更に高精度なレイアウト面積見積もり値を得ることが可能な「論理回路図入力装置」を提供する。もちろん、スタンダードセルで構成された部分に関しては、実施の形態3、4、5、6でレイアウト面積見積もりを実施することが可能であることはいうまでもない。

【0064】

図21は本実施の形態8の「論理回路図入力装置」の構成を示すブロック図である。図21において、1-1から1-3、1-9、1-10の各ブロックは、実施の形態1で説明した図1の同番号のものと同様である。「形状パラメータ情報抽出手段」21-14は、「トランジスタレベル展開情報保持部」1-3に保持されたそれぞれのトランジスタ、抵抗、容量などの素子情報からプロパティとして付加されている形状パラメータ情報を抽出する。

【0065】

「形状パラメータ情報保持部」21-5は、「形状パラメータ抽出手段」21-4により抽出されたそれぞれのトランジスタ、抵抗、容量素子の形状パラメータ情報を保持する。「素子面積算出保持部」21-6は、トランジスタ、抵抗、容量それぞれに定義された面積算出式を保持する。

【0066】

「素子別面積算出手段」21-7は、「形状パラメータ情報保持部」21-5に保持されたそれぞれの素子の形状パラメータ情報から、「素子面積算出式保持部」21-6に定義された算出式を用いてそれぞれの素子の面積を算出する。「素子別面積保持部」21-8は、「素子別面積算出手段」21-7により算出されたトランジスタ、抵抗、容量素子それぞれの面積を保持する。

【0067】

図22は、図21の「論理回路図入力装置」の動作を示したフローチャートである。図22において、まず、実施の形態1と同様に階層構造を持った論理回路図をトランジスタレベルまで展開し、展開されたトランジスタ、抵抗、容量素子の情報を「トランジスタレベル階層展開情報保持部」1-3に格納する(ST1201)。

【0068】

次に「トランジスタレベル階層展開情報保持部」1-3に格納されたトランジスタ、抵抗、容量素子それぞれを対象にプロパティとして付加されている形状パラメータを抽出し、「形状パラメータ情報保持部」22-5に格納する(ST1222)。ここで抽出するパラメータ情報は図23に示すとおり、トランジスタの場合は

、ゲート長 L 、ゲート幅 W 、ドレイン領域面積 A_D 、ソース領域面積 A_S 、ゲート本数、ゲート間距離 D とし、抵抗素子の場合は抵抗値、容量素子の場合は容量値とする。複数のゲートから構成されるトランジスタの場合、ゲート幅 W は各ゲートで異なる場合が存在するが、値の大きい方を選択するものとする。

【 0 0 6 9 】

次に「素子面積算出式保持部」21-6に格納されているトランジスタ、抵抗、容量素子それぞれの面積算出式(図24)を用いて、素子毎に面積値を算出し、「素子別面積保持部」21-8に格納する(ST223)。同様にST222、ST223の動作を残りの素子に対して実行する(ST204)。最後に、ST222からST204で「素子別面積保持部」21-8に格納したそれぞれの素子面積値を足し合わせ、その値を「レイアウト見積もり面積格納部」1-10に格納する。

【 0 0 7 0 】

これにより、実施の形態1および実施の形態2での「論理回路入力装置」よりも、より高精度なレイアウト面積見積もりが行え、レイアウト後に発生した面積制約違反による論理回路の設計変更を余儀なくされるといったことをなくせる。

【 0 0 7 1 】

実施の形態9.

本実施の形態9では、異なる機能をもつブロック毎に占有率を与えることにより高精度に面積見積もりが可能な「論理回路図入力装置」について説明する。本実施の形態が実施の形態2、3、4と異なるのは、トランジスタ等の各素子やスタンダードセルの種類別に面積占有率を与えるだけでなく、さらに上位のブロックに対して占有率を与えることである。また実施の形態6と異なるのは、実施の形態6が各スタンダードセルのFanOut数(接続本数)からブロックの配線面積を見積もるのに対し、本実施の形態では、ブロックの特性を考慮し、各ブロックに占有率を与えることである。

【 0 0 7 2 】

つまり、DRAMメモリの例にとると、メモリセル部分、パッド部分、センスアンプ等の直接周辺部分、制御系部分等に各機能が分割されており、さらに各機能で使用する素子サイズ、形状、レイアウト集積度が異なっている。面積見積も

りを行う際、それらの各部を1つのブロックとして捕らえ、各ブロックでの特性を考慮して適切な面積占有率を与えることにより、面積見積もりの精度を向上させることが可能である。

【0073】

図25は、この実施の形態9の「論理回路図入力装置」の構成を示すブロック図である。同図において、9-1から9-6の各ブロックは実施の形態3で説明した図9の同番号のものと同一機能である。「ブロック別占有率保持部」25-7は、各ブロック毎に定義した占有率を保持するものであり、その占有率は、ファイルとして与えてもよく、GUIを用いて使用者が直接与えてもよい。「ブロック別面積導出手段」25-8は、「インスタンス面積保持部」9-6に保持されていた各インスタンスの面積値を用いて、各ブロック毎に属するインスタンスの面積総和を算出し、さらに占有率を考慮して面積見積もり値を算出し、「レイアウト見積もり面積格納部」25-10に格納する。

【0074】

図26は、図25の「論理回路図入力装置」の動作を示したフローチャートである。ST1001～ST1003は、図10における同ステップと同じ動作である。「ブロック別占有率保持部」25-7に定義された各ブロックにおいて、該当ブロックに属する各インスタンスの面積を足し合わせ、該当ブロックの面積を算出する(ST2604)。各インスタンスがどのブロックに属しているかは、階層展開時にインスタンス名に属するブロックのインスタンス名が付加されているので容易に識別可能である。さらに「ブロック別占有率保持部」25-7に定義された占有率を用いて、各ブロックの面積見積もりを行う(ST2605)。

【0075】

最後に、前ステップで算出したすべてのブロックの面積を足し合わせ、対象の論理回路図のレイアウト面積見積もりを得る。これにより、ブロックの特性を考慮した高精度なレイアウト面積見積もりが可能になり、レイアウト設計後に発生する面積制約違反による論理回路の設計変更を余儀なくされといったことをなくせる。

【0076】

実施の形態 1 0.

本実施の形態 1 0 は、実施の形態 1 ～ 6、実施の形態 8、9 のレイアウト面積見積もり機能に加え、見積もった各セル、ブロックの面積、BC(ベーシックセル)数をレイアウト設計装置に入力ファイルとして受け渡す機能を備えた「論理回路図入力装置」である。

【0 0 7 7】

この論理回路図入力装置によれば、レイアウト設計者はレイアウト設計時に目標となる面積に従いレイアウト設計することが可能となり、さらに目標面積と大きな差異が発生する場合には即座に論理回路設計者へフィードバックが可能となる。

【0 0 7 8】

実施の形態 1 1.

本実施の形態 1 1 は、実施の形態 1 ～ 6、実施の形態 8、9 のレイアウト面積見積もり機能に加え、見積もった各セル、ブロックの面積、BC(ベーシックセル)数を論理回路図上の各インスタンス素子にプロパティとして保存しておく機能を備えた「論理回路図入力装置」である。

【0 0 7 9】

この論理回路図入力装置によれば、論理変更を行わないかぎり、一度、面積見積もりを行った場合には、変更したセルのみに再度、見積もりを行えばよく、処理時間の短縮が図れる。

【0 0 8 0】

【発明の効果】

この発明によれば、論理回路図を基に、容易にレイアウト後の面積を見積もることができるため、レイアウト設計時にしばしば発生する面積制約違反により論理回路の設計変更を余儀なくされるといったことをなくせる。また、その論理回路図の情報からトランジスタの階層関係や個々のプロパティまで自動的に読み出されるため作業効率も高い。

【図面の簡単な説明】

【図 1】 実施の形態 1 を示した論理回路図入力装置のブロック図

- 【図 2】 図 1 のブロック図の動作を示したフローチャート
- 【図 3】 階層構造を持った論理回路図の例と、その情報を示した図
- 【図 4】 トランジスタの形状パラメータを示した図
- 【図 5】 トランジスタの面積算出式保持部を示した図
- 【図 6】 実施の形態 2 を示した論理回路図入力装置のブロック図
- 【図 7】 図 6 のブロック図の動作を示したフローチャート
- 【図 8】 階層構造を持った論理回路図の例と、その情報を示した図
- 【図 9】 実施の形態 3 を示した論理回路図入力装置のブロック図
- 【図 1 0】 図 9 のブロック図の動作を示したフローチャート
- 【図 1 1】 スタンダードセル別面積保持部での定義例を示した図
- 【図 1 2】 実施の形態 4 を示した論理回路図入力装置のブロック図
- 【図 1 3】 スタンダードセル別面積占有率保持部での定義例を示した図
- 【図 1 4】 図 1 2 のブロック図の動作を示したフローチャート
- 【図 1 5】 実施の形態 5 を示した論理回路図入力装置のブロック図
- 【図 1 6】 図 1 5 のブロック図の動作を示したフローチャート
- 【図 1 7】 ブロックの面積別配線面積予想値保持部での定義例を示した図
- 【図 1 8】 実施の形態 6 を示した論理回路図入力装置のブロック図
- 【図 1 9】 図 1 8 のブロック図の動作を示したフローチャート
- 【図 2 0】 ブロックの面積別配線容量予想値保持部での定義例を示した図
- 【図 2 1】 実施の形態 8 を示した論理回路図入力装置のブロック図
- 【図 2 2】 図 2 1 のブロック図の動作を示したフローチャート
- 【図 2 3】 トランジスタ、抵抗及び容量のパラメータを示した図
- 【図 2 4】 トランジスタ面積算出式保持部を示した図
- 【図 2 5】 実施の形態 9 を示した論理回路図入力装置のブロック図
- 【図 2 6】 図 2 5 のブロック図の動作を示したフローチャート

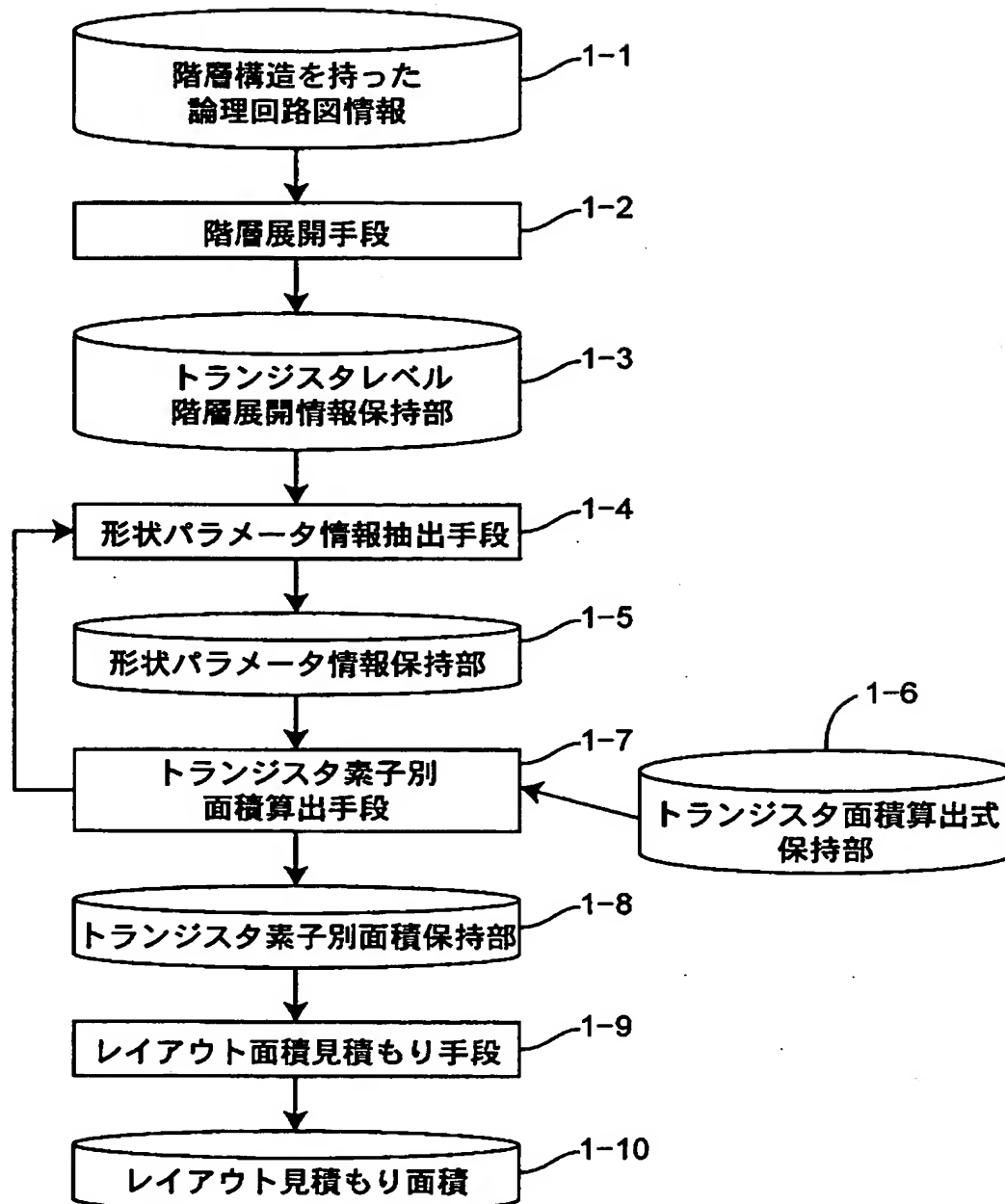
【符号の説明】

- 1 - 1 階層構造を持った論理回路図情報格納部、 1 - 2 階層展開手段、 1 - 3 トランジスタレベル階層展開情報保持部、 1 - 4 形状パラメータ情報抽出手段、 1 - 5 形状パラメータ情報保持部、 1 - 6 トランジスタ面積算出式保

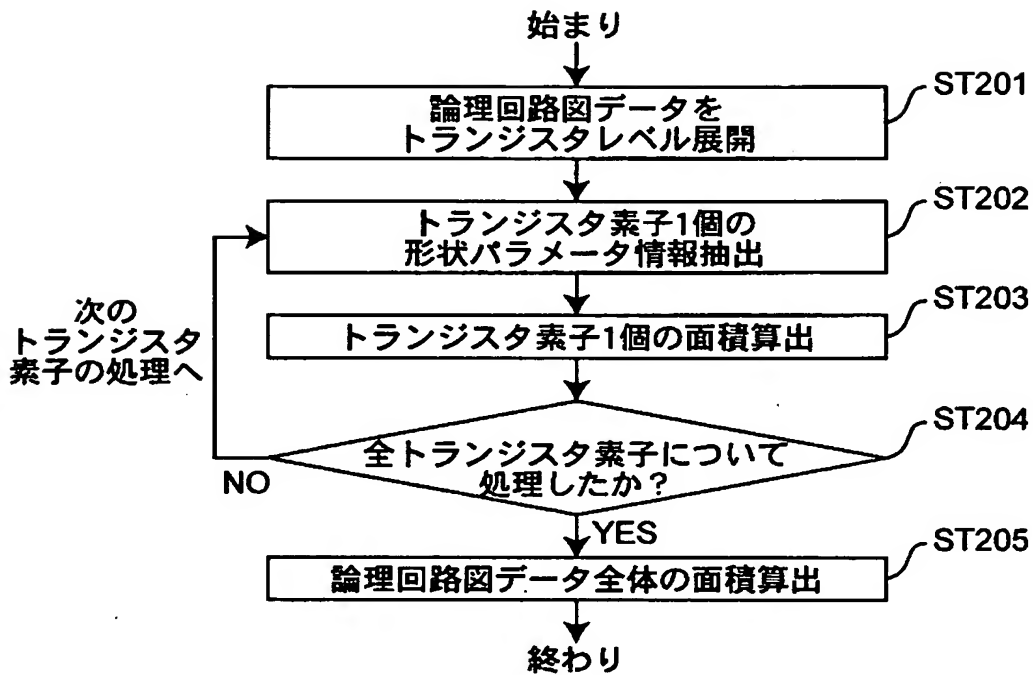
持部、 1 - 6 トランジスタ素子別面積保持部、 1 - 9 レイアウト面積見積もり手段、 1 - 1 0 レイアウト見積もり面積格納部、 6 - 9 トランジスタの面積占有率保持部、 9 - 4 スタンダードセル別面積保持部、 1 2 - 7 スタンダードセル別面積占有保持部、 1 5 - 6 ブロックの面積別配線占有面積予想値保持部、 1 8 - 1 1 ブロックの面積別配線容量予想値保持部、 2 5 - 7 ブロック別占有率保持部、

【書類名】 図面

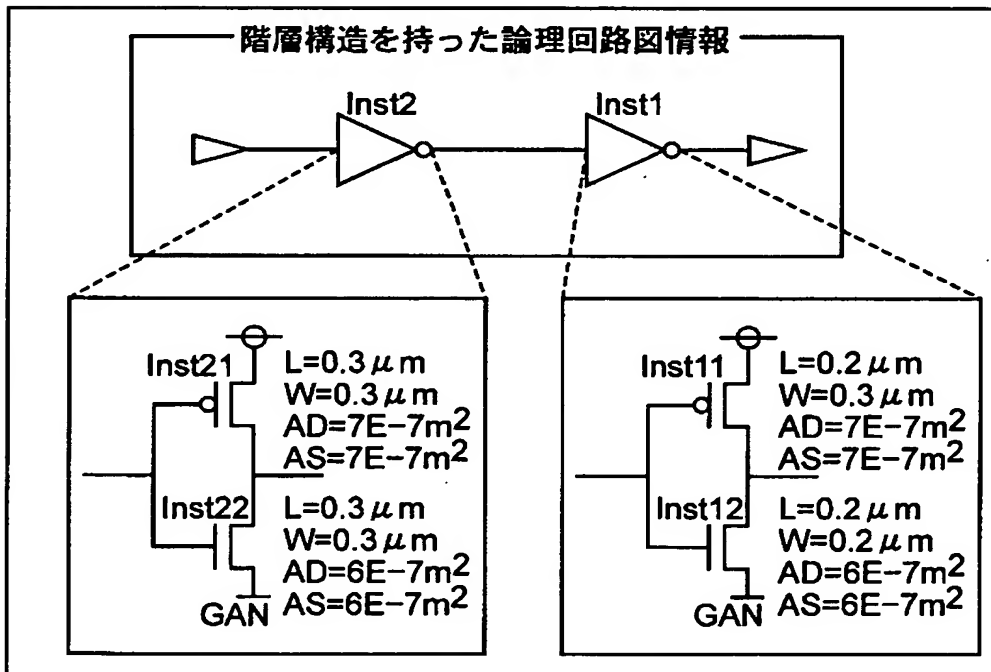
【図 1】



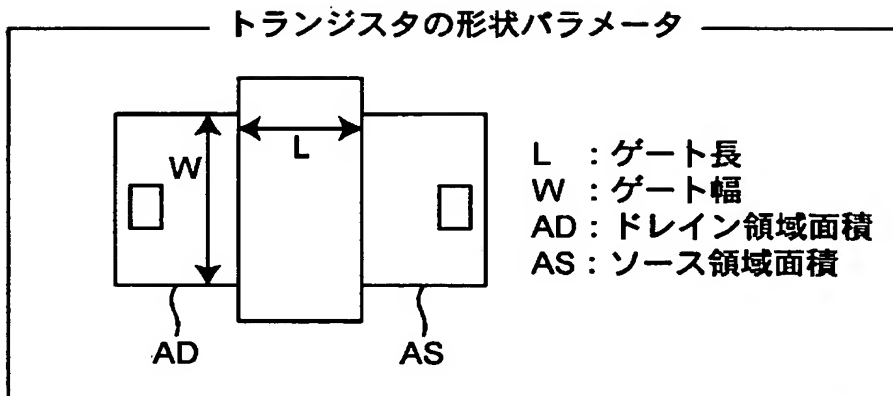
【図 2】



【図 3】



【図 4】

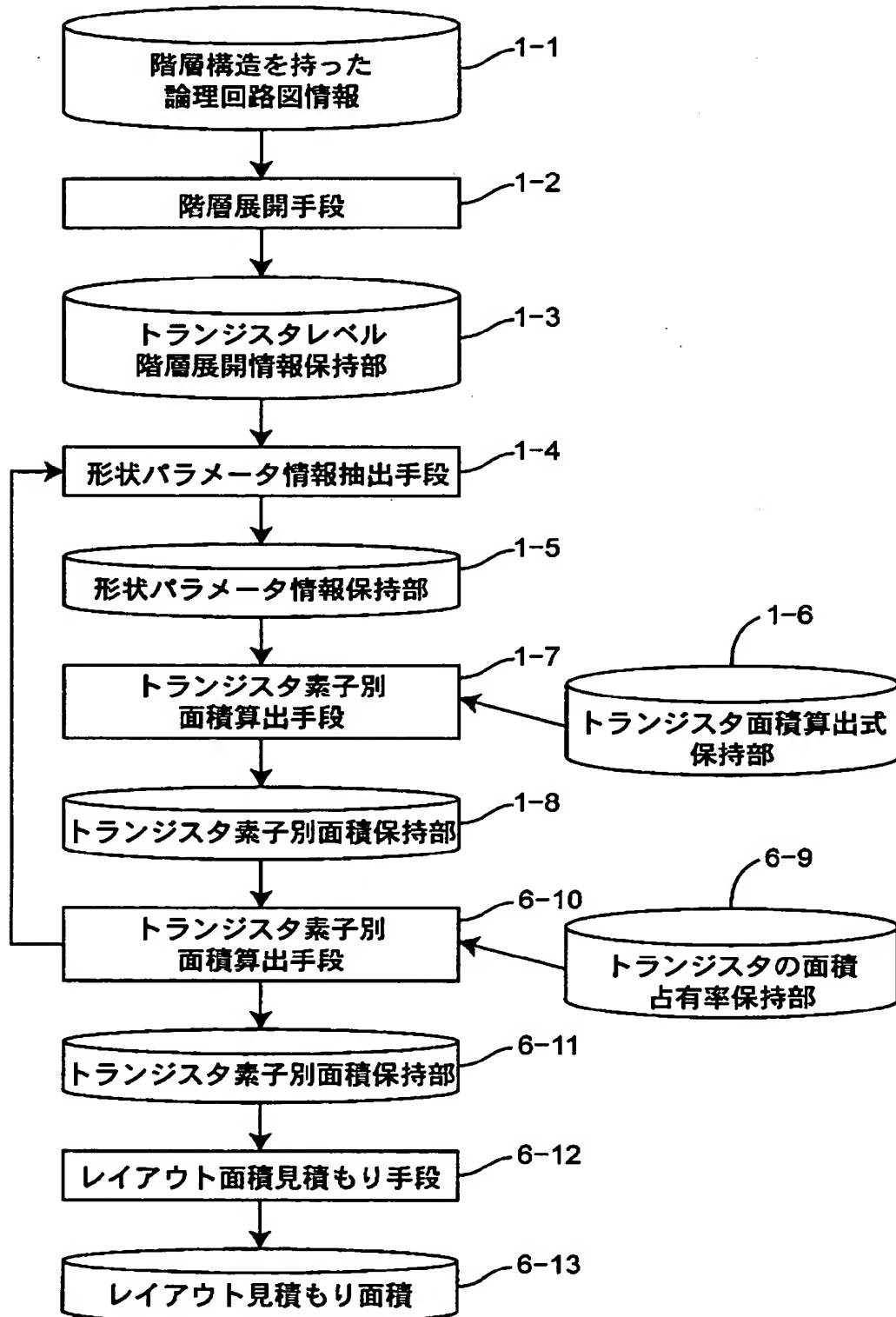


【図 5】

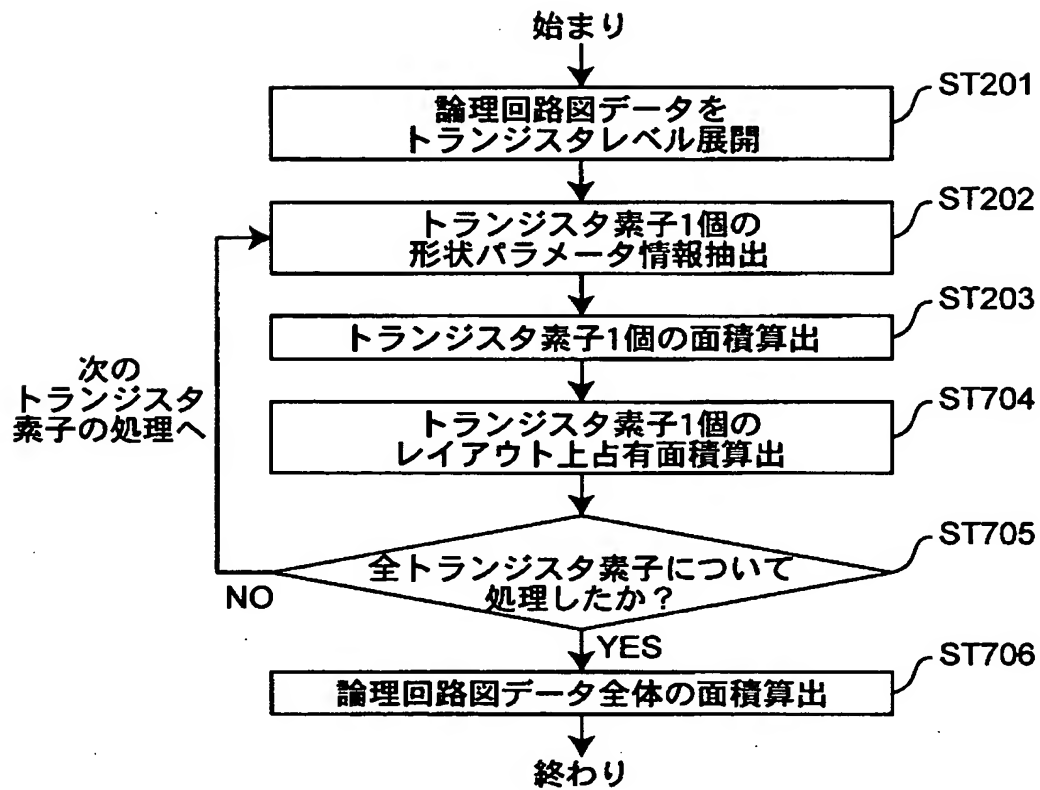
トランジスタ面積算出式保持部

$$\text{トランジスタ1個の面積} = L \times W + AD + AS$$

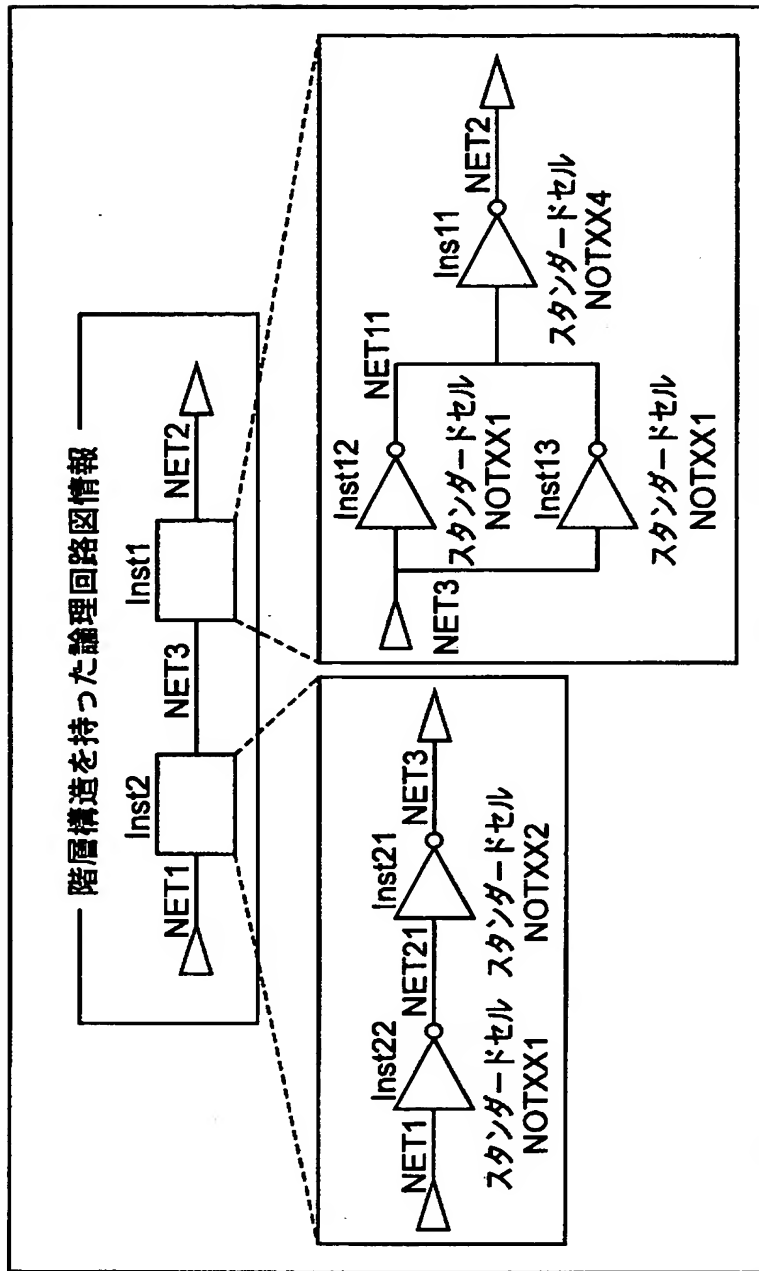
【図 6】



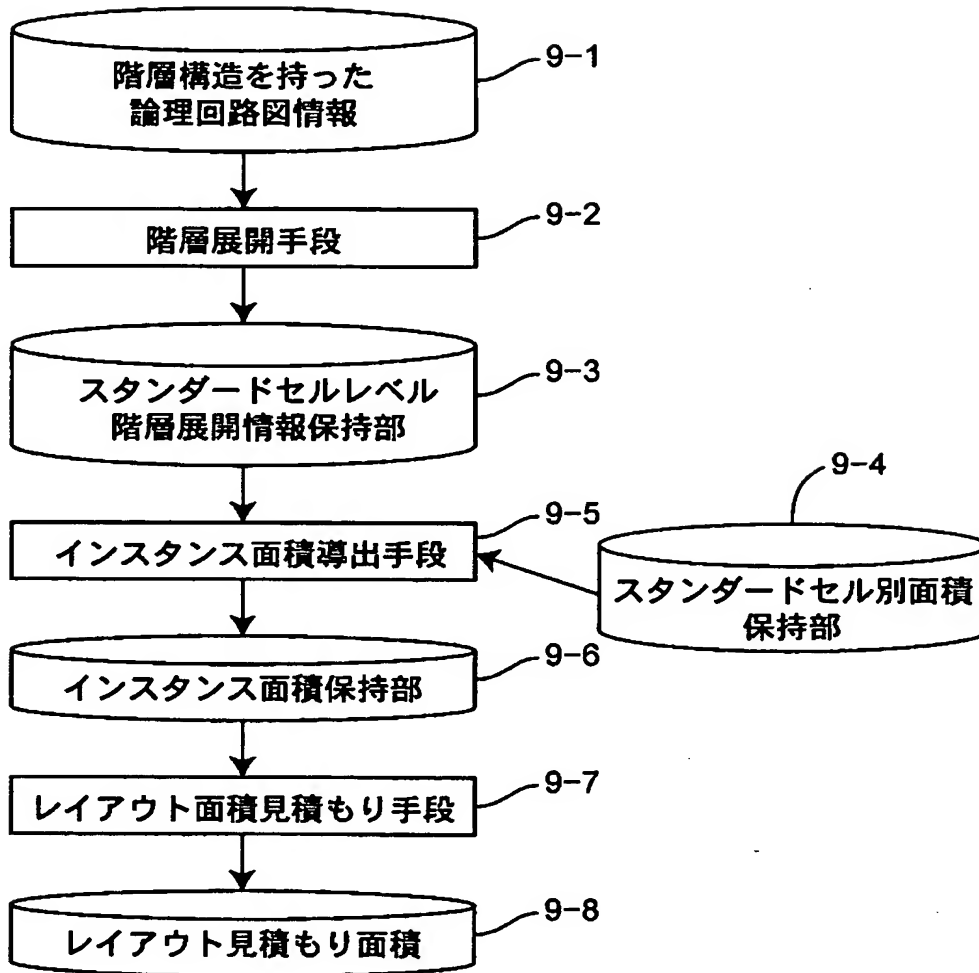
【図 7】



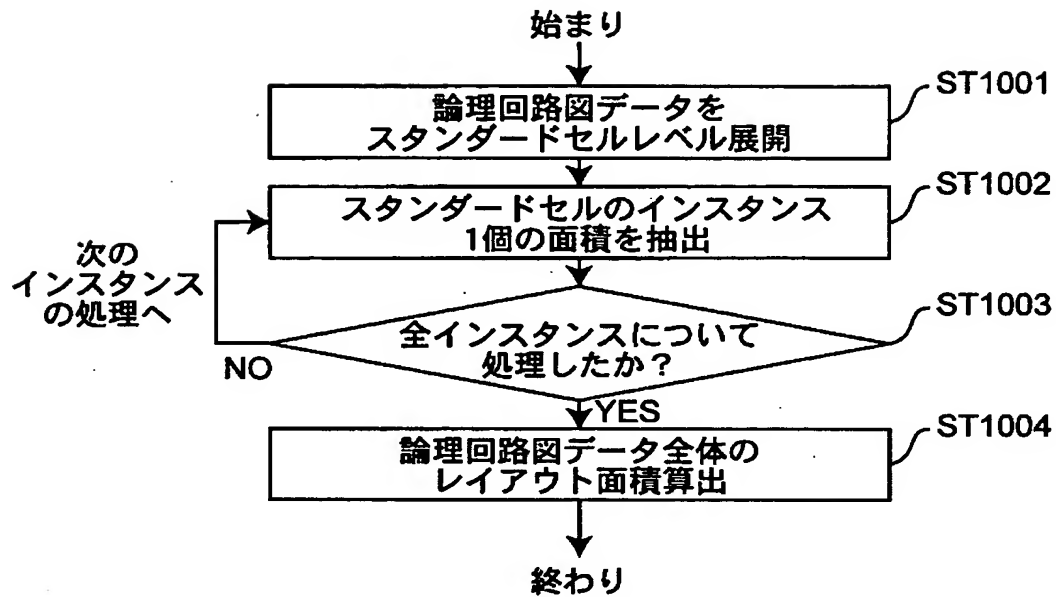
【図 8】



【図 9】



【図 10】

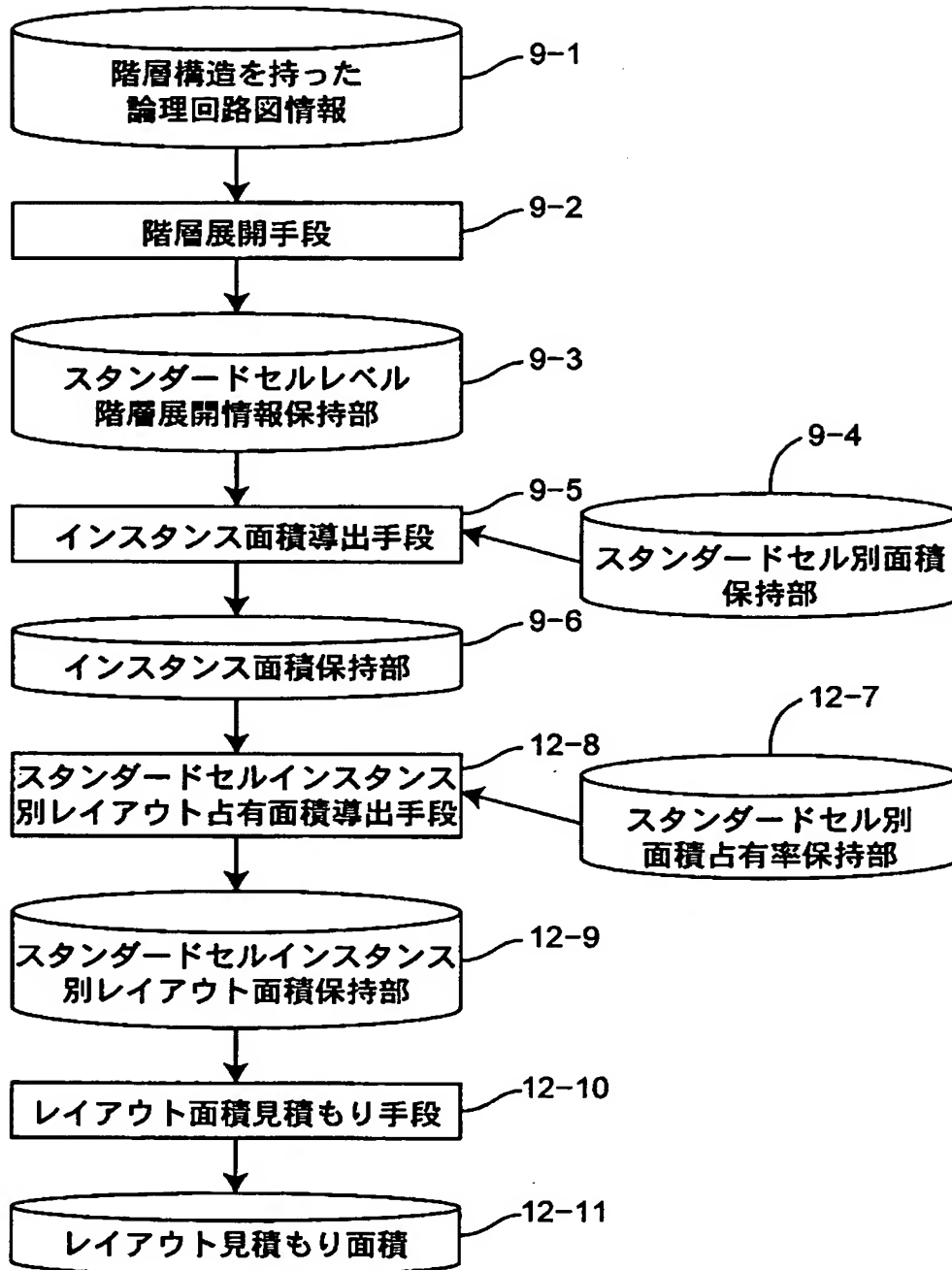


【図 11】

スタンダードセル別面積保持部の定義例

NOTXX1	10E-8 μ m ²
NOTXX2	20E-8 μ m ²
NOTXX4	40E-8 μ m ²
NOTXX8	80E-8 μ m ²
:	:
:	:

【図 12】

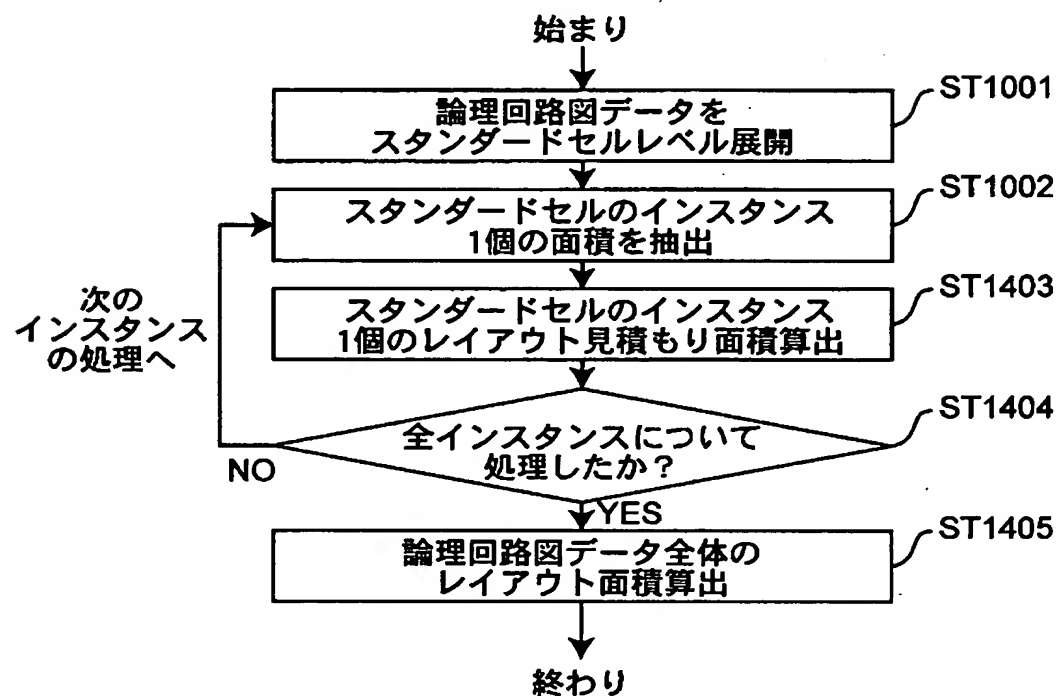


【図 13】

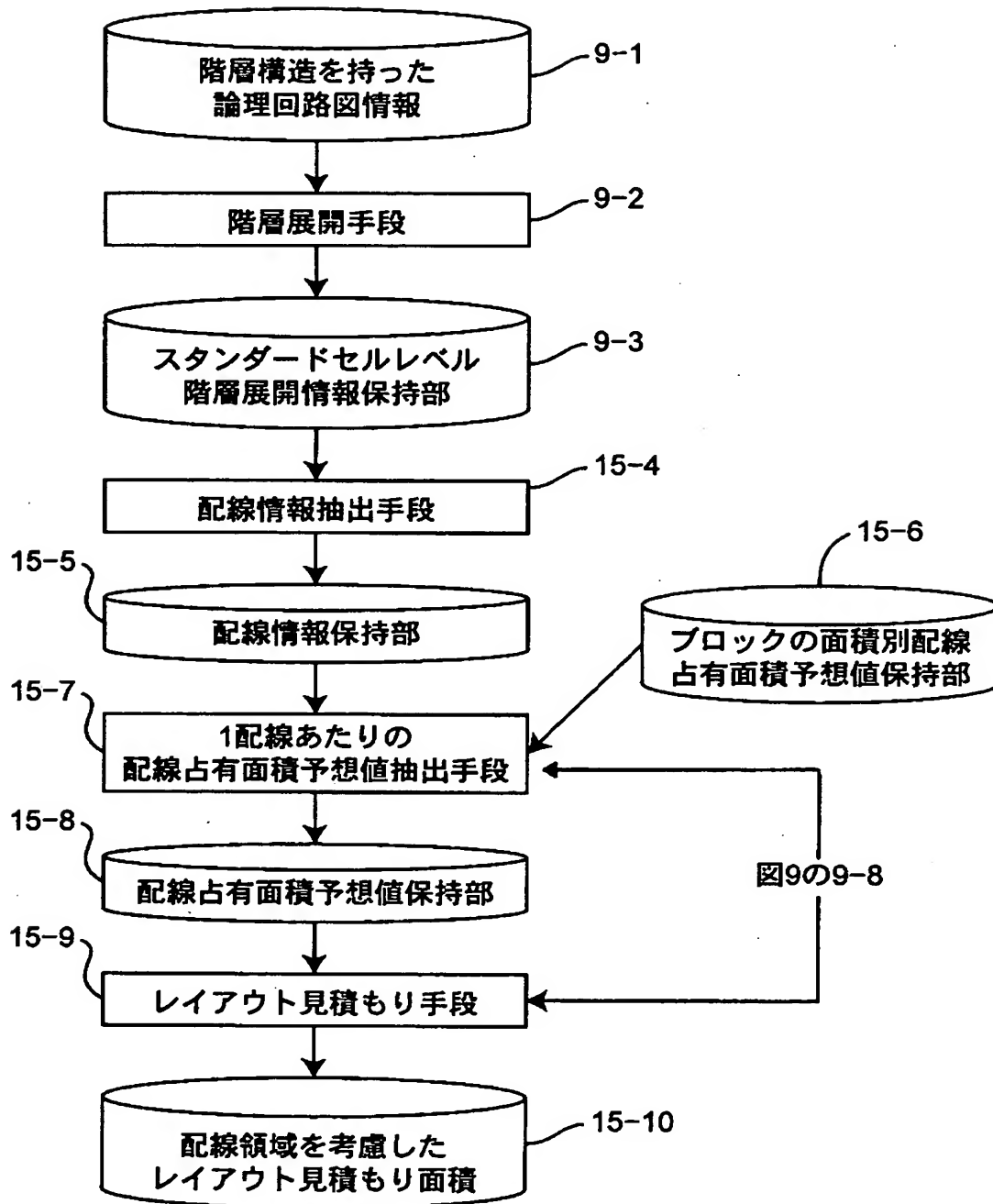
スタンダードセル別面積占有率保持部の定義例

NOTXX1	0.8
NOTXX2	0.9
NOTXX4	0.9
NOTXX8	0.8
⋮	⋮
⋮	⋮

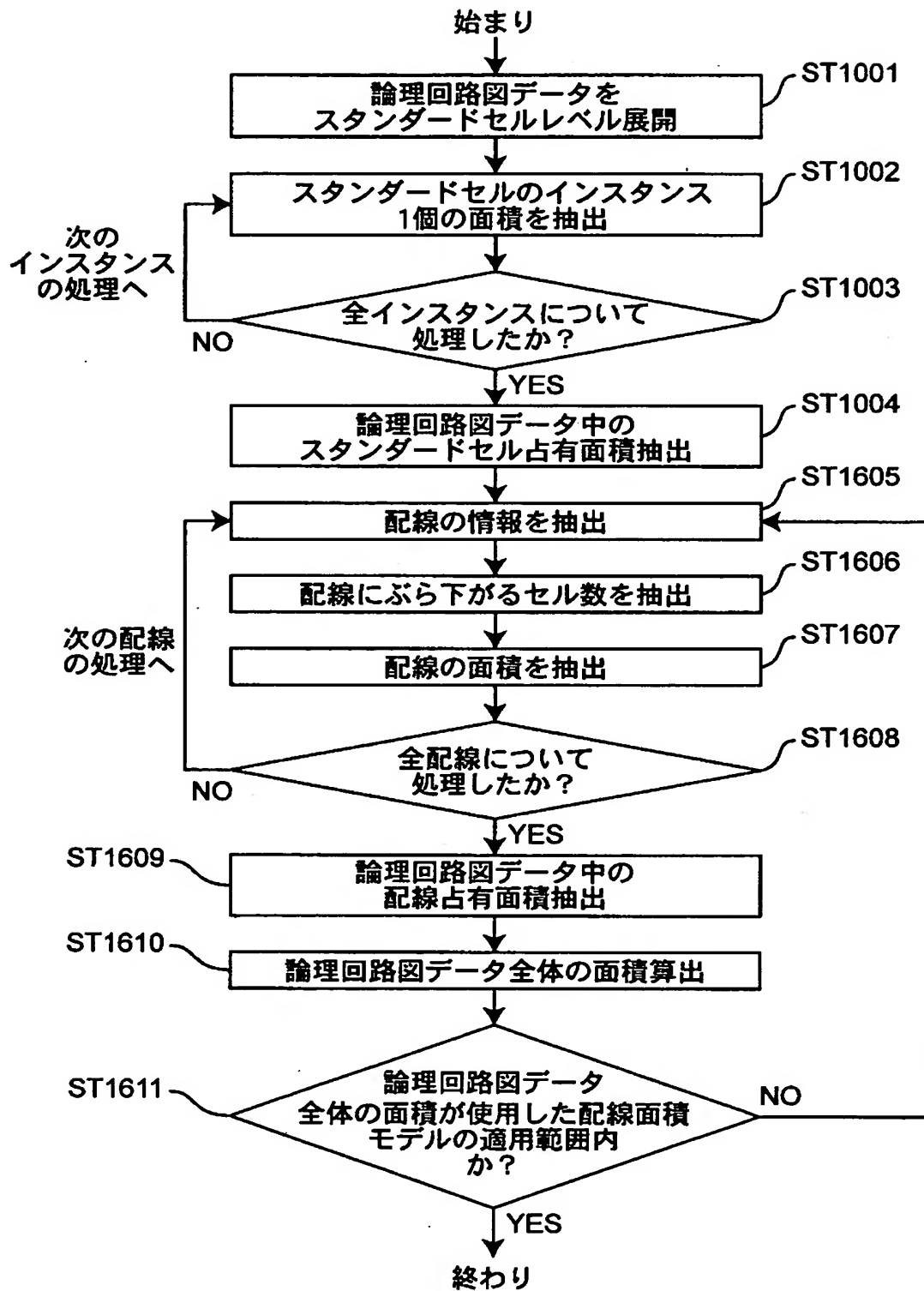
【図 14】



【図15】



【図 16】



【図 1 7】

論理回路ブロックの
面積範囲指定

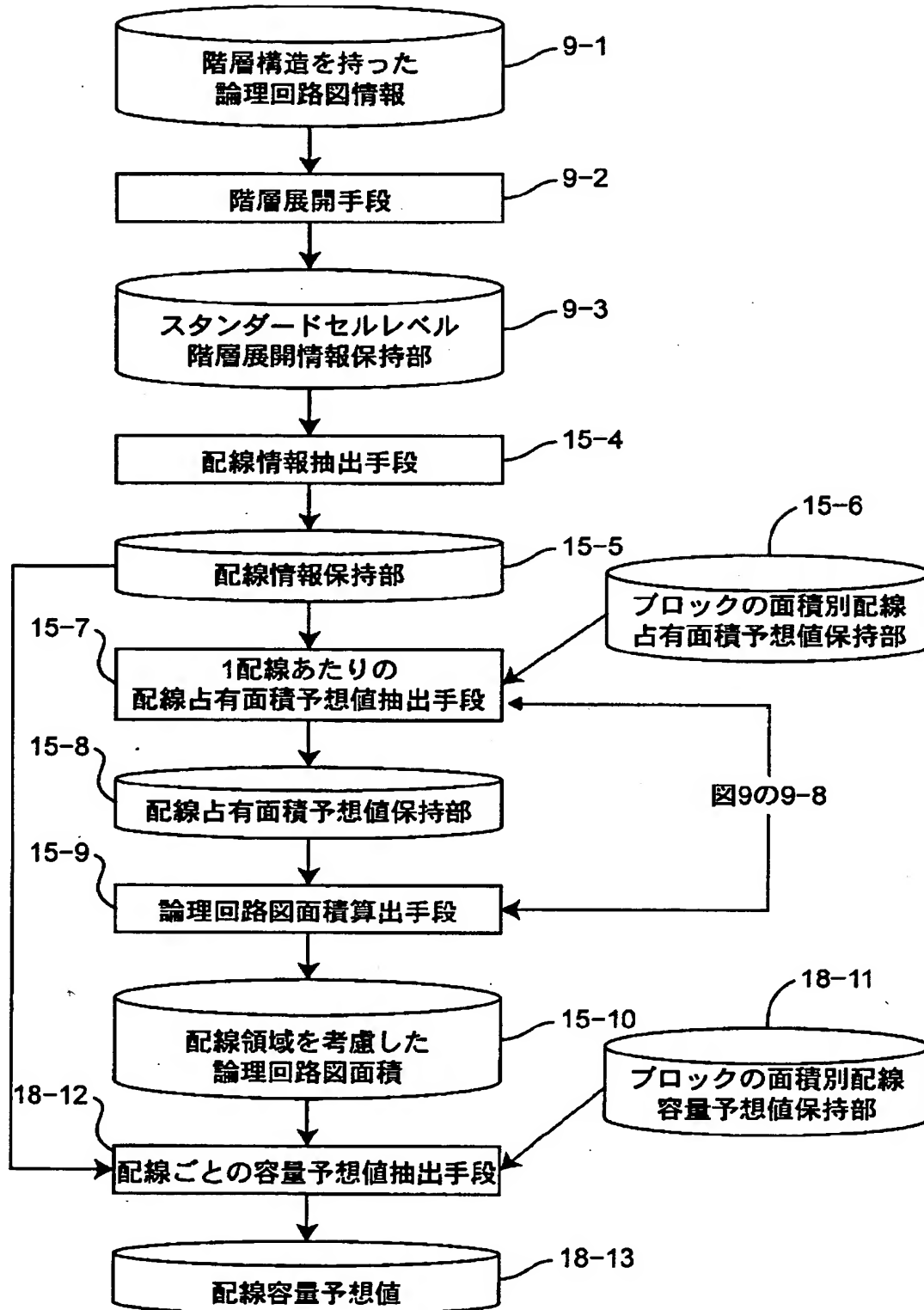
ブロックの面積別配線面積予想値
保持部の定義例

$300\text{E-}8\mu\text{m}^2 > \text{WIRE_AREA} \geq 200\text{E-}8\mu\text{m}^2 :$	
2	$10\text{E-}8\mu\text{m}^2$
3	$15\text{E-}8\mu\text{m}^2$
4	$20\text{E-}8\mu\text{m}^2$
5	$25\text{E-}8\mu\text{m}^2$
:	:
:	:
$200\text{E-}8\mu\text{m}^2 > \text{WIRE_AREA} \geq 100\text{E-}8\mu\text{m}^2 :$	
2	$5\text{E-}8\mu\text{m}^2$
3	$7\text{E-}8\mu\text{m}^2$
4	$10\text{E-}8\mu\text{m}^2$
5	$12\text{E-}8\mu\text{m}^2$
:	:
:	:
$100\text{E-}8\mu\text{m}^2 > \text{WIRE_AREA} \geq 0\mu\text{m}^2 :$	
2	$2\text{E-}8\mu\text{m}^2$
3	$3\text{E-}8\mu\text{m}^2$
4	$4\text{E-}8\mu\text{m}^2$
5	$5\text{E-}8\mu\text{m}^2$
:	:
:	:

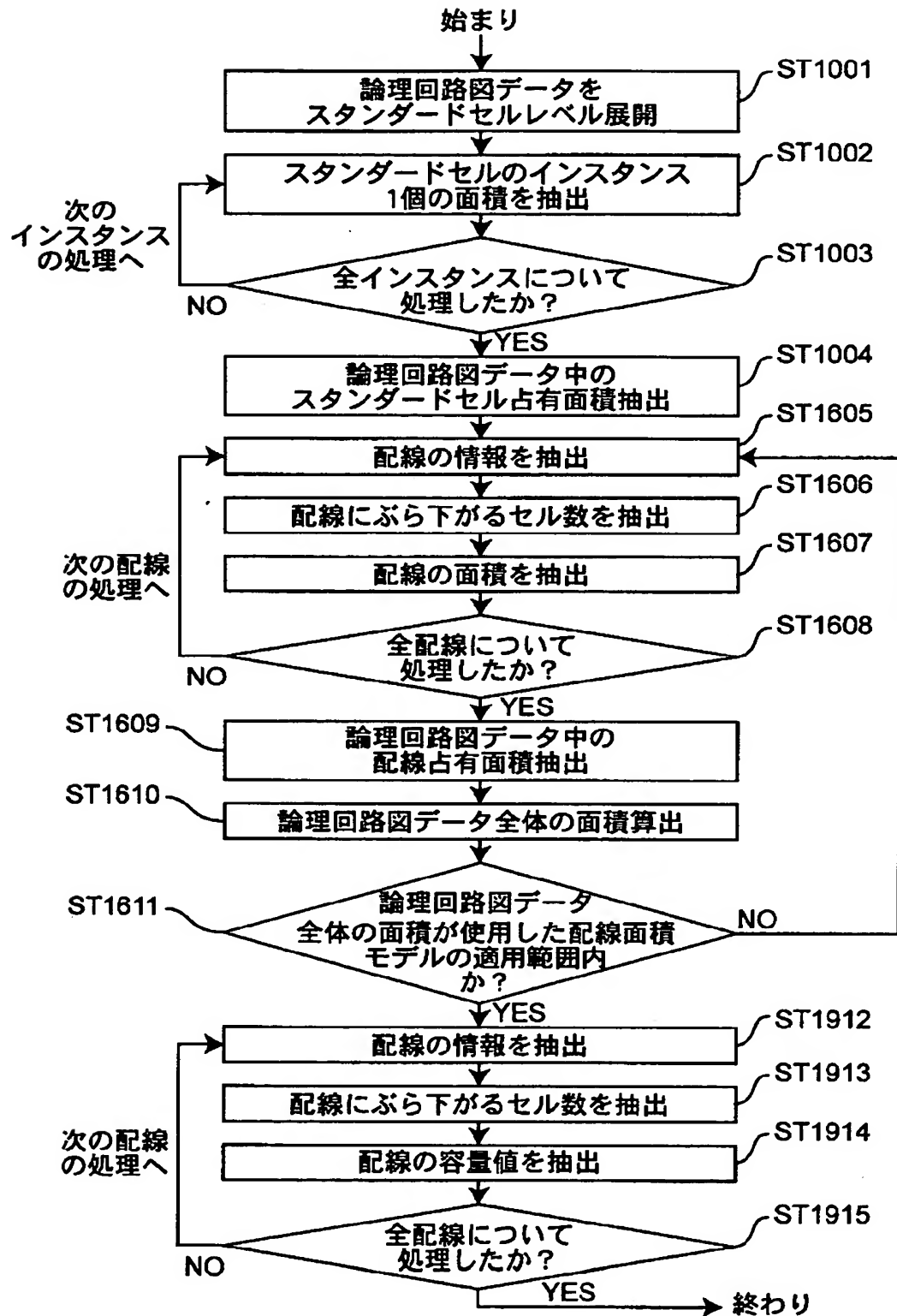
配線面積予想値

配線にぶら下がるセル数

【図18】



【図19】



【図 20】

論理回路ブロックの
面積範囲指定

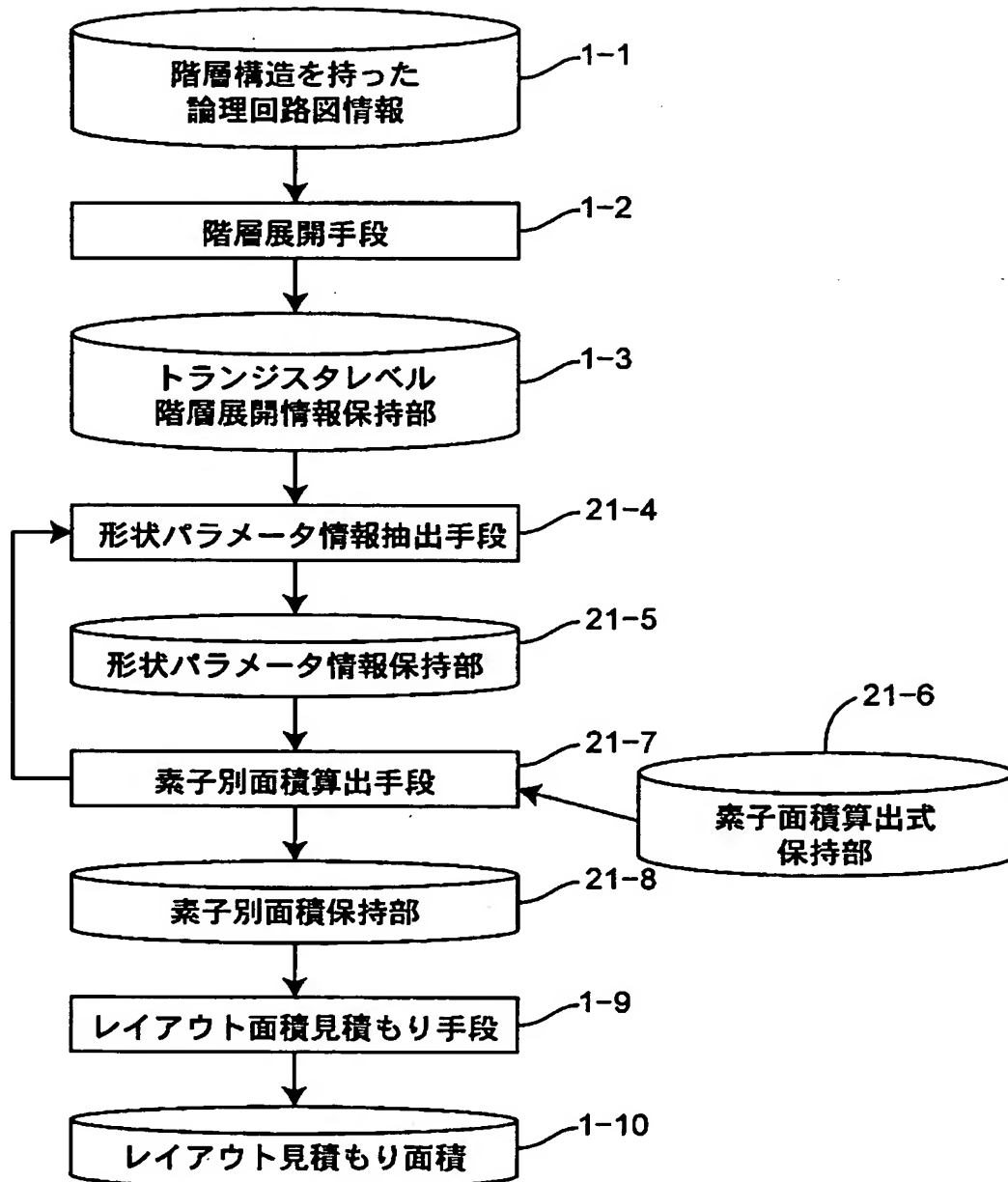
ブロックの面積別配線容量予想値
保持部の定義例

$300\text{E-}8\mu\text{m}^2 > \text{WIRE-AREA} \geq 200\text{E-}8\mu\text{m}^2 :$	
2	0.10pf
3	0.13pf
4	0.15pf
5	0.17pf
:	:
:	:
$200\text{E-}8\mu\text{m}^2 > \text{WIRE-AREA} \geq 100\text{E-}8\mu\text{m}^2 :$	
2	0.07pf
3	0.08pf
4	0.10pf
5	0.12pf
:	:
:	:
$100\text{E-}8\mu\text{m}^2 > \text{WIRE-AREA} \geq 0\mu\text{m}^2 :$	
2	0.03pf
3	0.04pf
4	0.05pf
5	0.06pf
:	:
:	:

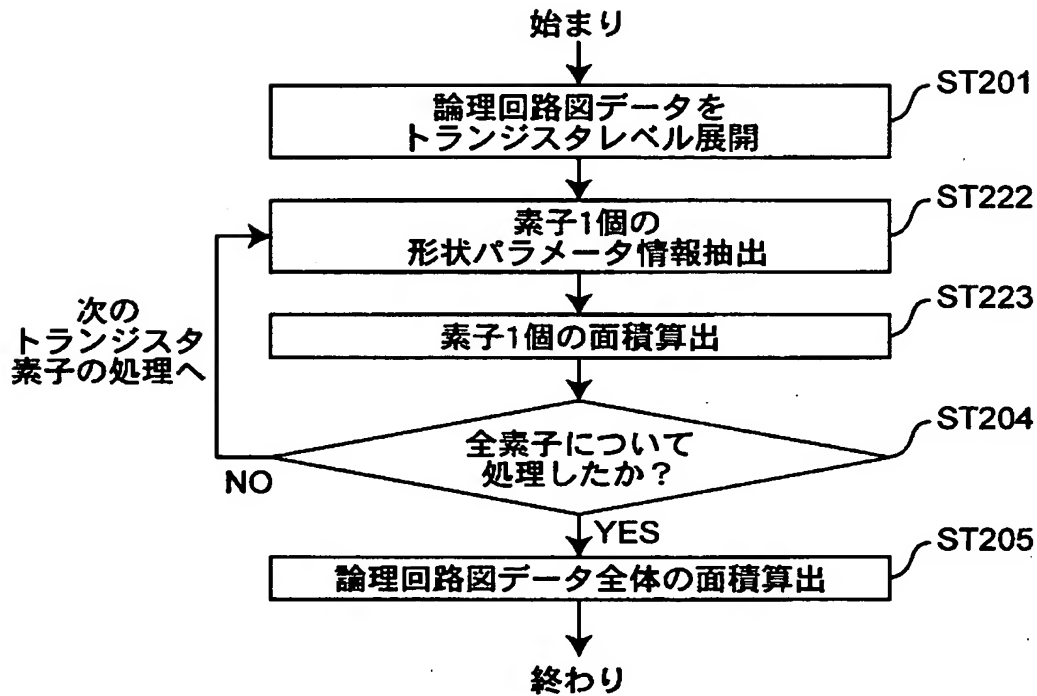
配線にぶら下がるセル数

配線面積予想値

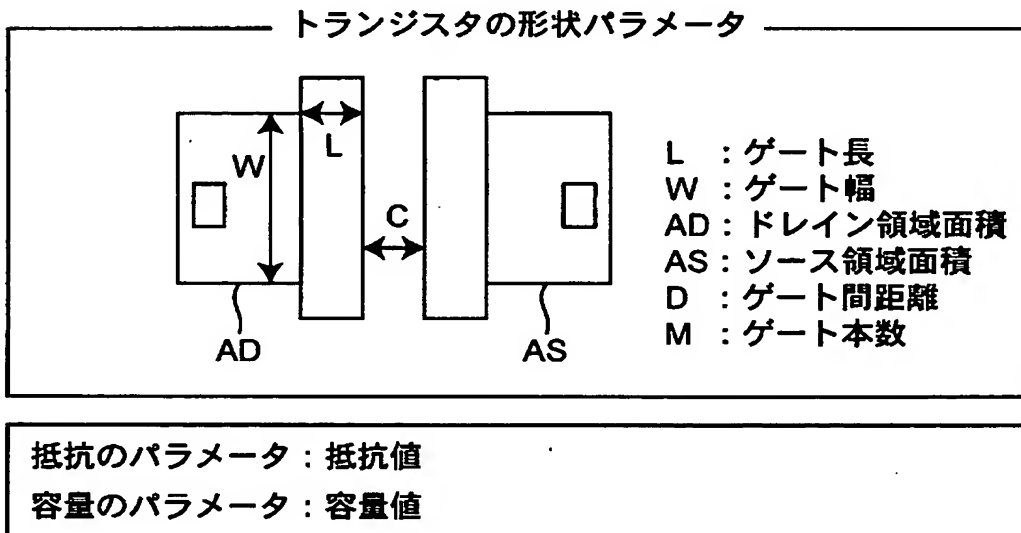
【図 21】



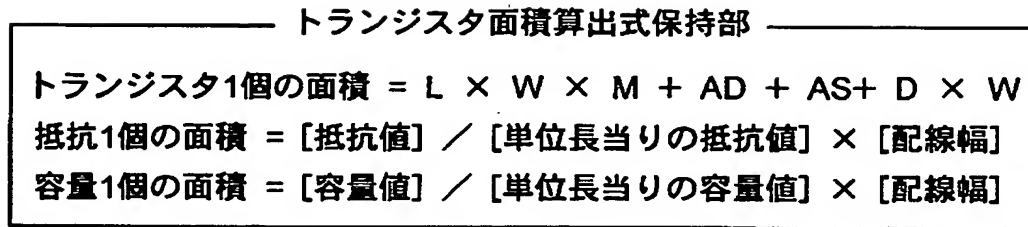
【図 2 2】



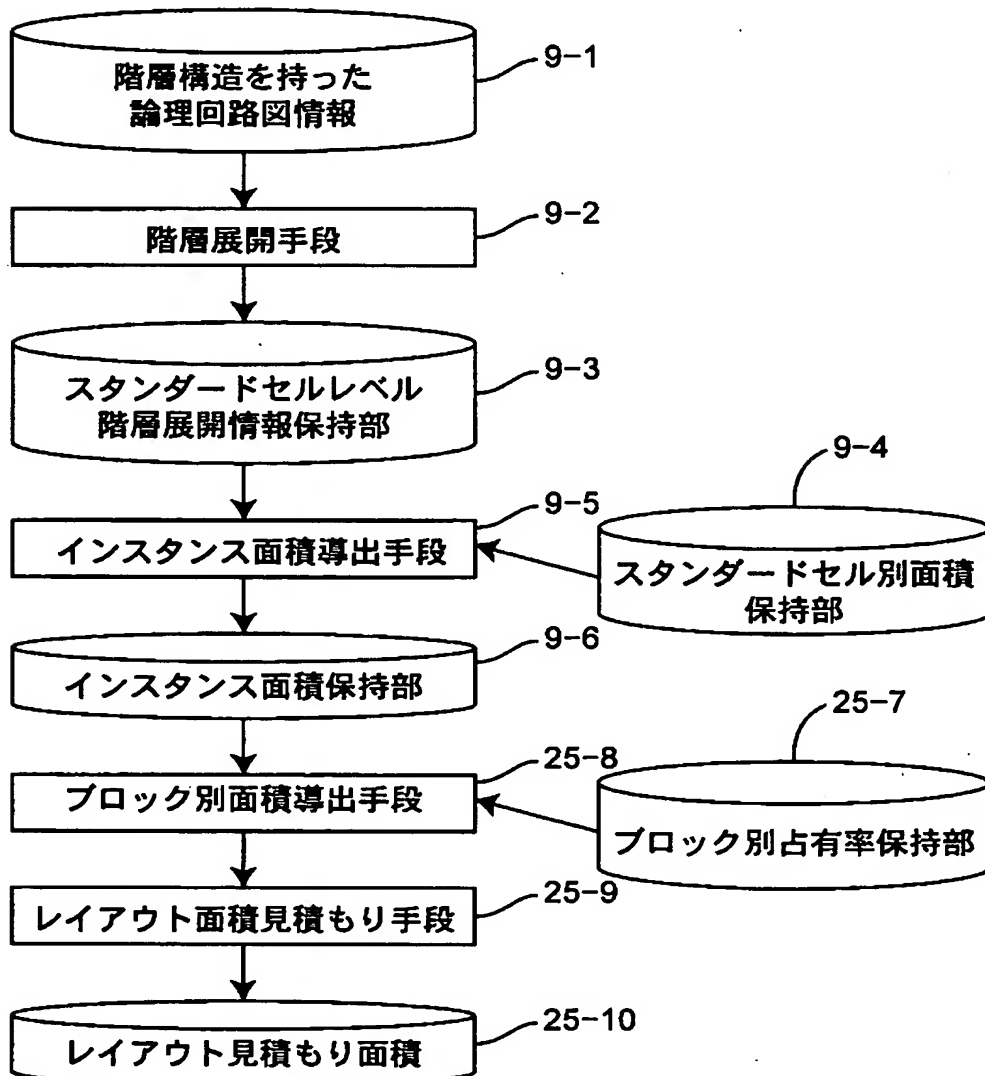
【図 2 3】



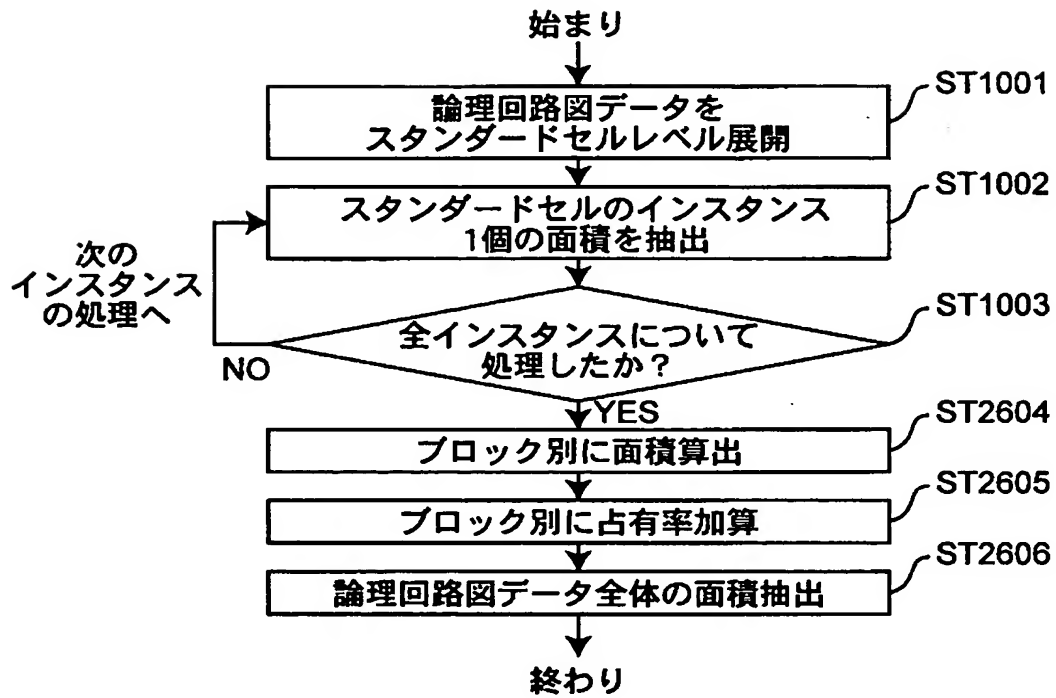
【図 2 4】



【図 2 5】



【図 26】



【書類名】 要約書

【要約】

【課題】 論理回路図からそのレイアウト面積を正確に予測するのは困難であった。

【解決手段】 トランジスタを最小単位として構成された論理回路図からレイアウト面積を見積もるために、階層構造を持った論理回路図情報からトランジスタレベルまでの情報に展開する階層展開手段(1-2)と、各トランジスタのゲート長、ゲート幅等の情報を抽出する形状パラメータ情報抽出手段(1-4)と、前記情報からトランジスタ 1 個あたりの面積を算出する面積算出式によって各トランジスタの面積を算出する面積算出手段(1-7)と、各トランジスタに対して算出した面積を総和してレイアウト面積を得るレイアウト面積見積もり手段(1-9)とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社